

Ошибки в микросхемах K1967BH02BG

Настоящий документ содержит описание всех ошибок, выявленных в микросхемах K1967BH02BG, на момент создания данной версии документа.

Статус документа

Настоящий документ является НЕКОНФИДЕНЦИАЛЬНЫМ.

Адрес в сети Интернет

<http://www.milandr.ru>

Обратная связь по продукту

Если у Вас есть какие-либо комментарии или предложения по данному продукту, свяжитесь с Вашим поставщиком, указав:

- название продукта;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Обратная связь по документу

Если у Вас есть какие-либо комментарии или предложения по данному документу, пожалуйста, пришлите их на электронную почту support@milandr.ru, указав:

- название документа;
- номер и/или дата документа;
- номер страницы;
- комментарии, либо краткое описание Ваших предложений;
- предпочтительный способ связи с Вами и контакты (организация, электронная почта, номер телефона).

Оглавление

Обзор.....	4
Категории ошибок	4
Сводная таблица ошибок	5
Ошибки категории 3	6
0001 Ошибка в реализации условия ALT модуля АЛУ	6
0002 Ошибка при «склейке» команд обращения на SOC-шину и загрузки-сохранения	7
0003 Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата	8
0005 Особенность в реализации команд SIMD умножения чисел с ПЗ одинарной точности.....	9
0006 Ошибка в работе контроллера DMA для процессоров с ID, равным 4, 5, 6, 7.....	10
0007 Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$	11
0008 Ошибка в реализации команд CLU, использующих сдвиг регистра истории	12
0009 Ошибка в реализации анализа внешних флагов FLAGx.....	13
0010 Ошибка в реализации доступа к внутренней памяти.....	14
0011 Ошибка в реализации операций обмена хоста с SDRAM.....	15
0012 Ошибка в реализации программного исключения невыровненного доступа.....	16
0013 Ошибка в автомате состояния контроллера SDRAM	17
Лист регистрации изменений	18

Обзор

Настоящий документ содержит описание ошибок в продукте с указанием категории критичности. Каждое описание содержит:

- уникальный идентификатор ошибки;
- текущий статус ошибки;
- где существует отклонение от спецификации и условия, при которых возникает ошибка;
- последствия возникновения ошибки в типичных применениях;
- ограничения, рекомендации и способы обхода ошибки, где это возможно.

Категории ошибок

Ошибки разделены на три категории критичности:

Категория 1.

Ошибочное поведение, которое невозможно обойти. Ошибки данной категории серьезно ограничивают использование продукта во всех или в большинстве приложений, что делает устройство непригодным для использования.

Категория 2.

Ошибочное поведение, которое противоречит требуемому поведению. Ошибки данной категории могут ограничивать или серьезно ухудшать целевое использование указанных функций, но не делают продукт непригодным для использования во всех или в большинстве приложений.

Категория 3.

Ошибочное поведение, которое не было изначально определено, но не вызывает проблем в приложениях при соблюдении рекомендаций.

Сводная таблица ошибок

В таблице указывается, в каких версиях микросхем присутствует ошибка. Наличие ошибки обозначено символом “X”.

Версия микросхем определяется датой изготовления, указанной на крышке корпуса микросхемы в формате ГГНН, где ГГ – год изготовления, НН – неделя изготовления.

ID	Описание	Микросхемы, изготавливаемые с даты		
		1742		
Категория 1				
Категория 2				
Категория 3				
0001	Ошибка в реализации условия ALT модуля АЛУ	X		
0002	Ошибка при «склежке» команд обращения на SOC-шину и загрузки-сохранения	X		
0003	Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата	X		
0005	Особенность в реализации команд SIMD умножения чисел с ПЗ одинарной точности	X		
0006	Ошибка в работе контроллера DMA для процессоров с ID равным 4, 5, 6, 7	X		
0007	Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$	X		
0008	Ошибка в реализации команд CLU, использующих сдвиг регистра истории	X		
0009	Ошибка в реализации анализа внешних флагов FLAGx	X		
0010	Ошибка в реализации доступа к внутренней памяти	X		
0011	Ошибка в реализации операций обмена хоста с SDRAM	X		
0012	Ошибка в реализации программного исключения невыровненного доступа	X		
0013	Ошибка в автомате состояния контроллера SDRAM	X		

Ошибки категории 3

0001 Ошибка в реализации условия ALT модуля АЛУ

Статус

Будет исправлена только в случае замены ядра.

Описание

Для предиката ALT (строго меньше нуля в АЛУ) для TS201S необходимо выполнение условия: $AN = 1 \ \& \ AZ = 0$.

В 1967BH02BG необходимо только выполнение условия $AN=1$.

В системе команд микросхемы имеется набор команд, при выполнении которых возможна одновременная установка флагов AN и AZ в «1» (соответствует получению одновременно отрицательного результата и результата равного нулю). После таких команд выполнение любых команд, использующих ALT, будет отличаться от TS201S, если при $AN = 1$ значение AZ также равно 1.

Условия возникновения

Всегда.

Последствия

Несовместимость с исполняемым кодом для TS201S.

Рекомендации и способы обхода

При программировании на ассемблере необходимо учитывать эту особенность.

0002 Ошибка при «склейке» команд обращения на SOC-шину и загрузки-сохранения

Статус

Будет исправлена в следующей версии продукта.

Описание

Одновременное обращение по каналам J и K во внешнюю память или СОК-шину при условии, что канал K использует специальную команду пересылки на СОК-шину, а канал J использует любую команду загрузки/сохранения.

Условия возникновения

Всегда.

Последствия

Зависание процессора.

Рекомендации и способы обхода

Алгоритмы обхода:

1. Запретить какую-либо склейку специальных команд обращения к устройствам на SOC-шине с другими командами загрузки/сохранения, т.е. должна быть *запрещена* следующая запись:

$$\text{IMASKH} = \text{YR0}; [\text{J31} + 0\text{x800001C0}] = \text{J0};;$$

2. При одновременном обращении с помощью специальной команды к регистрам SOC-шины и любой(!) другой команды загрузки/сохранения специальная команда обязательно должна использовать слот J.

Т.е. *допустима комбинация*: $\text{IMASKH} = \text{YR0}; [\text{K31} + 0\text{x800001C0}] = \text{J0};;$

и должна быть *запрещена комбинация*: $\text{IMASKH} = \text{YR0}; [\text{J31} + 0\text{x800001C0}] = \text{J0};;$

Т.к. ошибка возникает, только когда специальная команда использует слот K.

При этом *возможна* склейка $j0 = j2+1$; $\text{IMASKH} = \text{YR0};;$ Т.к. у записи на СОК-шину нет конфликта со слотом J.

0003 Отличие от аналога TS201S в реализации параллельного выполнения команд с сохранением 128-битного результата

Статус

Исправляться не будет.

Описание

Только одно из устройств: КЛУ, умножитель или АЛУ – имеет возможность использовать 128-битную шину результата. В ближайшем аналоге TS201S реализован иной механизм:

- команды ALU с квадровыводом не могут исполняться параллельно с командами умножителя с квадровыводом;
- команды КЛУ с квадровыводом не могут исполняться параллельно с командами сдвигового устройства.

Условия возникновения

Всегда.

Последствия

1. Неправильное выполнение кода, генерируемого средой VisualDSP (при условии выполнения такой высокоуровневой оптимизации).
2. Неправильное выполнение ассемблерного кода, написанного с учетом параллелизма, заложенного в TS201S.

Рекомендации и способы обхода

1. Использовать компилятор CM-LYNX.
2. Учитывать данную особенность при написании ассемблерного кода.

0005 Особенность в реализации команд SIMD умножения чисел с ПЗ одинарной точности

Статус

Будет исправлена в следующей версии продукта.

Описание

В системе команд микросхемы команды умножения для чисел с ПЗ одинарной точности могут исполняться с опцией округления или усечения результата. Для векторных (SIMD) команд умножения допущена ошибка выполнения, в случае использования опции округления.

Условия возникновения

Всегда.

Последствия

Возможен неверный результат вычислений.

Рекомендации и способы обхода

Если один набор операндов всегда известен (например, коэффициенты БПФ), то предварительно нужно проверить, что умножение коэффициента на любое возможное значение мантиссы от 0x800000 до 0xFFFFFFFF не даст сбоя (процесс быстрый).

Если для какого-то коэффициента получили сбой, то корректируем коэффициент в большую или меньшую сторону, прибавляя к младшему биту 1 или отнимая от младшего бита 1.

Модернизированный коэффициент опять проверяем таким же образом. Процесс повторяется до тех пор, пока не получится нормальный коэффициент.

0006 Ошибка в работе контроллера DMA для процессоров с ID, равным 4, 5, 6, 7

Статус

Будет исправлена в следующей версии продукта.

Описание

При использовании контроллера DMA в процессорах с ID, равным 4, 5, 6, 7, возможно ошибочное поведение каналов. Канал контроллера имеет функцию детектирования обращения к внутренней памяти процессора с использованием адресного пространства внешней шины межпроцессорного обмена. Факт обращения определяется выражением

$$(A[31:29] == 000) \& (A[28] == \sim ID[2]) \& (A[27:26] == ID[1:0]).$$

Для процессоров с ID от 0 до 3 выражение верное (адреса 0x10xx_xxxx, 0x14xx_xxxx, 0x18xx_xxxx, 0x1Cxx_xxxx), а для процессоров с ID от 4 до 7 – ошибочное (адреса 0x00xx_xxxx, 0x04xx_xxxx, 0x08xx_xxxx, 0x0Cxx_xxxx). В случае попытки обращения к внешней памяти с использованием некоторых адресов возможна ошибочная переадресация обращения во внутреннюю память.

Условия возникновения

Всегда при загрузке многопроцессорной системы из EPROM для процессора с ID = 4. Канал DMA этого процессора ошибочно детектирует стартовый адрес 0 как адрес внутренней памяти, а не внешнего EPROM.

Последствия

Невозможно загрузить из EPROM всю систему без дополнительных манипуляций.

Рекомендации и способы обхода

При возможности использовать загрузку многопроцессорной системы внешним хост устройством.

Возможный вариант загрузки из EPROM:

- Система разделяется на две группы – процессор с ID = 4 и все остальные процессоры.
- Сигнал nMBS на плате, идущий на EPROM, формируется на внешнем элементе «И» из сигналов nBMS от процессора с ID = 4 и всех остальных.
- Сигнал nBMS от процессора с ID = 4 подтягивается к питанию, сигнал nBMS остальной системы подтягивается к земле или оставляется неподключенным.

После сброса или включения питания процессор с ID = 4 переходит в состояние внешней загрузки, все остальные процессоры загружаются из EPROM. После окончания загрузки процессор с ID = 0 программирует канал ПДП процессора с ID = 4 на загрузку из адреса 0x20000000 и устанавливает в регистре DP канала ПДП источник «EPROM» (DP[31:29] = 110). После этого процессор с ID = 4 загружается из EPROM.

0007 Ошибка в реализации команд с ПЗ двойной точности $(a+b)/2$, $(a-b)/2$

Статус

Будет исправлена в следующей версии продукта.

Описание

Операции $(a+b)/2$ и $(a-b)/2$ для операндов с ПЗ двойной точности в некоторых случаях будут выдавать результат «0» вместо истинного.

Условия возникновения

Непредсказуемо (в зависимости от значений операндов), в любом месте алгоритма.

Последствия

Невозможность использования этих команд.

Рекомендации и способы обхода

В компиляторе эти команды будут запрещены к использованию. При написании команд на ассемблере взамен этих команд можно использовать альтернативные без заметной потери в производительности. Например:

$c=(a+b)$;; $c = \text{scalb } c \text{ by } -1$;; вместо $c=(a+b)/2$

0008 Ошибка в реализации команд CLU, использующих сдвиг регистра истории

Статус

Будет исправлена в следующей версии продукта.

Описание

В командах CLU ACS, DESPREAD, XCORRS одной из составляющих операций является сдвиг регистра истории Trh. Если во время продвижения команды по конвейеру происходит ее останов на последней стадии исполнения, запись в регистры истории не блокируется, и их модификация происходит в каждом такте простоя конвейера.

Условия возникновения

Всякий раз, когда конвейер тормозится какой-то командой, например, командой обращения на SOC-шину. Пример приведен ниже.

```
r20 = 0x00;;  
r0 = 0x00;;  
r1 = 0x00;;  
thr1:0 = r1:0;;
```

```
r3:0 = Q[j1+=0x04];;
```

```
tr3:0 = r3:0; r8 = [j2+=0x01];;
```

j0 = IMASKH;; – важным является присутствие именно в этой линии команды, которая остановит конвейер в тот момент, когда следующая команда CLU будет на стадии W2.

```
xtr7:4 = acs(tr3:2, tr1:0, r8); ytr7:4 = acs(tr3:2, tr1:0, r8); r15:12 = Q[j4+=0x04];;  
r7:4 = tr7:4, tr7:4 = acs(tr3:2, tr1:0, r8); // ошибка проявится в этой строке
```

Последствия

Невозможность использования этих команд в силу некорректности результата.

Рекомендации и способы обхода

При использовании указанных команд CLU нужно контролировать отсутствие описанной ситуации. Компилятор это решает автоматически, программист, в случае создания программ на ассемблере, должен следить за этим самостоятельно.

0009 Ошибка в реализации анализа внешних флагов FLAGx

Статус

Будет исправлена в следующей версии продукта.

Описание

Процессор имеет возможность выполнять команды условных ветвлений посредством анализа внешних контактов FLAGx. Пример команды:

```
If FLAG0_IN , jump exe_F1;;
```

Однако проблема состоит в том, что входы внешних контактов FLAGx не буферизированы внутри процессора и, таким образом, асинхронно поступают на логику анализа команды ветвления. Это может вызвать сбой в работе программы – программа может выполнить переход по некорректному адресу.

Условия возникновения

Плавающая ошибка, возникает непредсказуемо.

Последствия

Зависание процессора.

Рекомендации и способы обхода

Вариант 1

Использовать следующий алгоритм ветвлений:

```
ISF0 = FLAG0_IN;;  
if ISF0, jump wait_FLAG0_eq0;;
```

Т.е. значение флага с внешнего контакта записывается в регистр статических флагов, а затем производится анализ и переход.

Вариант 2

Прочитать значение регистра SQSTAT и анализировать его биты SQSTAT[19:16].

0010 Ошибка в реализации доступа к внутренней памяти

Статус

Будет исправлена в следующей версии продукта.

Описание

Процессор имеет внутреннюю память, разделенную на шесть областей размером 4 Мбит каждая, и при этом нет областей, отведенных отдельно под память программ или память данных. Однако, если происходит обращение по записи со стороны контроллера ПДП или внешней шины (хост или процессор кластера) в область, где расположен код программы, и в этот момент происходит обращение со стороны процессора за чтением инструкции, то запись будет проигнорирована.

Условия возникновения

- 1 Код программы и область записи данных находятся в одном блоке памяти.
- 2 Запрос на чтение инструкции и запись данных приходят на арбитр одновременно.

Последствия

Данные с внешней шины или контроллера ПДП не будут записаны.

Рекомендации и способы обхода

Вариант 1

Размещать данные, которые намеревается записать хост или контроллер ПДП, только в тех банках памяти, в которых в момент записи не будет исполняемого кода.

Вариант 2

Если есть возможность, после записи данных произвести чтение и сравнение. Если запись каких-то данных не удалась, повторить запись.

0011 Ошибка в реализации операций обмена хоста с SDRAM

Статус

Будет исправлена в следующей версии продукта.

Описание

Перед тем как отдать внешнюю шину хосту, текущий мастер переводит SDRAM в режим самогенерации, который подразумевает в числе прочего неактивный уровень SDCKE. Если хост будет работать с SDRAM, то он должен сначала вывести память из режима самогенерации и только потом начать нормально работать. При работе хоста с SDRAM сигнал SDCKE уже должен иметь высокий уровень. Но из-за ошибки в реализации эта активность воспринимается мастером шины как незавершенная процедура перевода в режим самогенерации, и он пытается ее завершить, разрушая таким образом текущую транзакцию хоста.

Условия возникновения

Всегда при работе хоста с SDRAM.

Последствия

Невозможно работать хостом с SDRAM при стандартном подключении хоста.

Рекомендации и способы обхода

После передачи внешней шины под управление хосту необходимо обеспечить низкий уровень на входах SDCKE всех процессоров кластера. Как вариант, можно разделить линию SDCKE на две: от кластера SDCKE_cluster и от хоста SDCKE_host. Объединить две линии на плате через логическое ИЛИ и выход этого элемента завести на вывод SDCKE SDRAM. Сигнал SDCKE_cluster – это общая линия, соединяющая выводы SDCKE всех процессоров кластера. Сигнал SDCKE_host – это выход из хоста и должен удерживаться в «0», пока хост не получит разрешения на обмен по шине ($nHBG = 0$).

Если хост реализован в виде ПЛИС, то элемент ИЛИ можно реализовать внутри ПЛИС.

0012 Ошибка в реализации программного исключения невыровненного доступа

Статус

Будет исправлена в следующей версии продукта.

Описание

При доступе к 64- и 128-разрядным словам в командах альтернативного доступа с использованием стандартной циклической адресации и битреверсной адресации, если адрес доступа не выровнен на границе запрашиваемого слова, исключительная ситуация Non-aligned access не будет сформирована. Поведение процессора будет соответствовать ситуации доступа по выровненному адресу.

Условия возникновения

Всегда при использовании указанного метода адресации с ошибочным адресом и разрешенными программными исключениями.

Последствия

Сокращение возможностей обнаружения ошибок при адресации данных во время отладки программы.

Рекомендации и способы обхода

Данная ошибка не требует каких-либо специальных действий со стороны пользователя.

0013 Ошибка в автомате состояния контроллера SDRAM**Статус**

Будет исправлена в следующей версии продукта.

Описание

Если на шине есть активный обмен, который процессор вынужден прервать на операцию REFRESH, и в это время активировался запрос хоста nHBR, то такая ситуация может вызвать зависание всей внешней шины. В данном состоянии все операции, кроме операции REFRESH, на шине прекращаются, сигнал предоставления шины хосту nHBG не активируется.

Условия возникновения

При запросе шины хостом сразу после операции REFRESH, которая прервала активный обмен.

Последствия

Зависание всей внешней шины, пока запрос nHBR не будет деактивирован.

Рекомендации и способы обхода

Хост должен иметь в своем составе счетчик таймаута по условию отсутствия активности на шине, по истечении которого нужно на один такт SCLK деактивировать nHBR для разблокировки шины.

При этом счетчик запускается по условию:

$$to_en = \sim nHBR \& nHBG \& nACTIVE;$$

отсутствие активности на шине можно определять следующим условием:

$$nACTIVE = nMSSD0 \& nMS0 \& nMSH \& nBMS \& nRD \& nWRL \& nWRH;$$

Период счетчика таймаута должен составлять не менее $PRC2RAS + RAS2PRC + 10$ тактов SCLK, где PRC2RAS и RAS2PRC – это соответствующие значения, установленные в регистре SDRCON.

Лист регистрации изменений

Дата	Страница	Статус	ID	Категория	Описание
28.04.22					Документ создан
04.05.22					Исправлена опечатка